

ITS/jeonwoy  
page  
J1017 U.S. PRO  
10/043724  
01/08/02

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 1892 호  
Application Number

출원년월일 : 2001년 01월 12일  
Date of Application

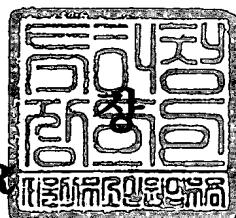
출원인 : 삼성전자 주식회사  
Applicant(s)



2001년 03월 28일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2001.01.12
【국제특허분류】	H01L
【발명의 명칭】	주변회로부의 소오스/드레인 영역에 컨택패드를 갖는 반도체 장치의 형성방법
【발명의 영문명칭】	Method for forming semiconductor devices having contact pad on source/drain region of peripheral circuitry
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	이강윤
【성명의 영문표기】	LEE,Kang Yoon
【주민등록번호】	610619-1011918
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 192 정든마을 신화아파트 507동 1801호
【국적】	KR
【심사청구】	청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사 를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인) 대리인  
이래호 (인)

**【수수료】**

【기본출원료】	20	면	29,000	원
【가산출원료】	33	면	33,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	22	항	813,000	원
【합계】			875,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

반도체 기판 상에 복수개의 메모리 셀을 가진 메모리 셀부와 상기 메모리 셀부의 메모리 셀에 데이터를 쓰고 읽기 위한 주변회로부로 이루어진 반도체 장치의 형성방법에 관한 것으로, 상기 메모리 셀부 뿐만 아니라 주변회로부 트랜지스터의 소오스/드레인 영역 상에 컨택패드가 형성된 것을 특징으로 하는 반도체 장치의 형성방법을 제공한다. 본 발명에 따르면, 메모리 셀부와 주변회로부 트랜지스터의 소오스/드레인 영역을 연결하는 컨택패드를 동시에 형성함으로써, 각 패드간 단차가 존재하지 않아 상기 컨택패드에 금속 컨택의 형성이 용이해진다.

**【대표도】**

도 8

**【명세서】****【발명의 명칭】**

주변회로부의 소오스/드레인 영역에 컨택패드를 갖는 반도체 장치의 형성방법{Method for forming semiconductor devices having contact pad on source/drain region of peripheral circuitry}

**【도면의 간단한 설명】**

도 1은 종래 기술에 따라, 메모리 셀부와 주변회로부 트랜지스터의 소오스/드레인 영역에 컨택패드가 형성된 구조를 도시한 단면도이다.

도 2 내지 도 10은 본 발명의 제 1 실시예에 따라 메모리 셀부와 주변회로부 트랜지스터의 소오스/드레인 영역에 컨택패드를 형성하는 과정을 도시한 단면도들이다.

도 11 내지 도 13은 본 발명의 제 2 실시예에 따라 메모리 셀부와 주변회로부 트랜지스터의 소오스/드레인 영역에 금속 컨택패드를 형성하는 과정을 도시한 단면도들이다.

도 14a 내지 도 14d는 본 발명의 제 3 실시예에 따라 주변회로부 트랜지스터의 소오스/드레인 영역에 금속 컨택패드를 형성하는 과정을 도시한 단면도들이다.

도 15a 내지 도 15c는 본 발명의 제 3 실시예에 따라 주변회로부 트랜지스터의 소오스/드레인 영역의 금속 컨택패드간 국부적인 연결배선을 형성하는 과정을 도시한 단면도들이다.

도 16은 종래 기술에 따라 컨택이 형성될 때 반도체 기판 상에 발생하는 기생저항을 설명하기 위한 평면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 반도체 장치의 형성방법에 관한 것으로, 보다 상세하게는 반도체 기판 상에 복수개의 메모리 셀을 가진 메모리 셀부와 상기 메모리 셀부의 메모리 셀에 데이터를 쓰고 읽기 위한 주변회로부로 이루어진 반도체 장치의 형성방법에 관한 것이다.
- <8> 디램의 집적도가 높아지면서 배선의 어려움이 가중되고 있다. 디램의 기본소자인 트랜지스터를 구동하려면 게이트 전극, 소오스/드레인 및 벌크(bulk)에 전압을 인가하여야 하는데 이는 각 단자에 컨택홀을 형성하고 금속 등으로 배선을 하여야 한다. 특히 소오스/드레인에 형성되는 컨택의 경우에는 매우 낮은 저항이 요구되는데, 이는 컨택의 저항이 높으면 전류 구동력이 떨어지기 때문이다. 그러나, 디램의 집적도에 따라 디자인률이 감소하고, 따라서 컨택홀의 크기도 작아지게 됨에 따라, 컨택의 저항은 오히려 증가하게 되는 문제가 발생한다.
- <9> 특히, 스택형 커패시터 구조를 갖는 디램의 경우 칩 크기가 감소함에 따라 커패시터의 높이가 증가하게 되어 상기 소오스/드레인에 형성되는 컨택홀의 깊이 또한 증가하게 된다. 이로 인해 컨택홀이 완전히 형성되지 않거나, 형성된 컨택의 저항이 증가하는 등의 문제점으로 배선형성이 더욱 어렵게 된다.
- <10> 이러한 컨택홀 형성을 용이하게 하고 컨택에 발생하는 저항을 감소시키기 위해 금속컨택을 형성하기 전에 패드를 형성하는 방법이 시도되고 있다. 미합중국 특허 제 5,949,110호는 메모리 셀부 뿐만 아니라 주변회로부에도 컨택패드가 형성된 반도체 디램

의 구조를 개시하고 있다. 상기 특허에 개시된 컨택패드의 구조 및 컨택패드 형성방법을 도 1을 참조하여 설명하면 다음과 같다.

<11>      도 1에 도시된 바와 같이, 상기 반도체 디램은 메모리 셀부(C)에는 n형 트랜지스터 ( $C_N$ )와 커패시터(150)를, 주변회로부(P)에는 n형 트랜지스터( $P_N$ )를 가지는 구조이다. 상기 각 트랜지스터( $C_N$ ,  $P_N$ )의 소오스/드레인 영역(120, 120')상에는 각 컨택패드(140, 140', 142 및 142')가 형성된다. 각 컨택패드(140, 140', 142 및 142')의 역할을 보면 다음과 같다. 상기 컨택패드(140, 140', 142 및 142') 중 메모리 셀부(C)의 공통 소오스 /드레인 영역(120')에 연결된 컨택패드(140)는 비트라인의 역할을 하고 있고 상기 메모리 셀부(C)의 소오스/드레인 영역(120)에 연결된 컨택패드(142)는 커패시터(150)의 하부 전극으로 작용한다. 주변회로부(P)의 각 컨택패드(140', 142')는 컨택들(160)을 통해 각각 금속배선(170)과 연결된다. 상기 각 컨택패드(140, 140', 142 및 142')는 상기 메모리 셀부(C)와 상기 주변회로부(P)에 동시에 형성된다. 이를 구체적으로 살펴보면, 상기 메모리 셀부(C)의 공통드레인 영역(120')에 연결된 컨택패드(140)는 주변회로부(P)의 트랜지스터( $P_N$ ,  $P_P$ )의 소오스(또는 드레인; 120)에 연결되는 컨택패드(140') 한 쌍과 동시에 형성된다(제 1 컨택패드 형성과정). 또한 상기 커패시터(150)의 하부전극 컨택의 역할을 하는 컨택패드(142)는 주변회로부(P) 트랜지스터( $P_N$ ,  $P_P$ )의 드레인(또는 소오스; 120)에 연결되는 컨택패드(142') 한 쌍과 동시에 형성된다(제 2 컨택패드 형성과정). 상기 제 1 및 제 2 컨택패드는 각각 폴리실리콘을 반도체 기판 상에 증착한 후에 이를 패터닝함으로써 이루어진다. 상기 각 컨택패드(140, 140', 142 및 142') 형성과정 사이에는 충간절연막(141)이 게재되어 상기 각 컨택패드(140, 140', 142 및 142') 간의 접촉을 방지한다.

<12> 이상 설명한 상기 특허에 기재된 컨택패드 형성방법은 몇 가지 문제점을 가지고 있다. 첫번째로 상기 제 1 및 제 2 컨택패드 형성과정에서 폴리실리콘을 패터닝할 때 트랜지스터의 소오스/드레인 영역이 식각으로 인한 손상을 받게 되어 리프레쉬 특성이 열화될 수 있다는 점이다. 이를 피하기 위해서는 상기 패드들이 필드산화막에까지 걸쳐 있어야 하는데 이 경우, 사진공정에 필요한 최소선폭을 확보하기 힘들게 된다. 두번째로는 상기 특허에서는 비트라인과 비트라인 컨택패드가 한번에 형성되는데, 통상 비트라인은 센스 앰프(sense AMP) 영역에서 배선으로 사용되기 때문에 이 영역에서는 비트라인과 비트라인 컨택패드를 동시에 형성한다는 것이 어렵다는 문제점이 있다. 세번째로 제 1 컨택패드 형성과정에 의한 컨택패드와 제 2 컨택패드 형성과정에 의한 컨택패드의 높이가 다르기 때문에 평탄화공정이 어렵게 되며, 상기 컨택패드에 컨택형성을 위한 컨택홀의 식각시 단차로 인한 문제점이 발생할 수 있다. 또한 상기 특허에 개시된 주변회로부에 상이한 도전형의 트랜지스터, 즉 n채널 트랜지스터 및 p채널 트랜지스터를 동시에 형성할 경우에 대해서는 적용이 곤란하다는 문제점이 있다.

<13> 이상에서 살펴본 바와 같이, 반도체 디램에 있어서, 메모리 셀부와 주변회로부 트랜지스터의 소오스/드레인 영역에 저저항 컨택을 구현하고 컨택홀의 형성을 용이하기 위한 컨택패드를 형성하는 방법에 있어서, 종래의 기술은 많은 문제점을 노출하고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<14> 본 발명이 이루고자 하는 기술적 과제는, 반도체 디램에 있어서 메모리 셀부 뿐만 아니라 주변회로부의 트랜지스터의 소오스/드레인 영역에 연결되는 컨택패드를 동시에 형성하는 것을 특징으로 하는 반도체 장치의 형성방법을 제공하는 것이다.

<15> 본 발명이 이루고자 하는 다른 기술적 과제는, 반도체 디램에 있어서, 메모리 셀부

와 주변회로부의 트랜지스터의 소오스/드레인 영역에 낮은 컨택저항을 구현하기 위해 컨택패드가 금속물질로 된 반도체 장치의 형성방법을 제공하는 것이다.

<16> 본 발명이 이루고자 하는 또 다른 기술적 과제는, 반도체 디램에 있어서, 주변회로부 트랜지스터의 소오스/드레인 영역의 컨택패드가 금속물질로 된 반도체 장치의 형성방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<17> 상기 기술적 과제를 달성하기 위해 본 발명은 반도체 기판 상에 복수개의 메모리 셀을 가진 메모리 셀부와 상기 메모리 셀부의 메모리 셀에 데이터를 쓰고 읽기 위한 주변회로부로 이루어진 반도체 장치를 형성하는 방법을 제공한다. 본 발명의 방법은, 먼저, 상기 반도체 기판에 메모리 셀부와 주변회로부를 정의하고, 각 소자간을 분리시키는 필드 산화막을 형성한다. 이어서, 상기 반도체 기판의 메모리 셀부와 주변회로부의 활성영역 상에 소오스/드레인 영역과 측벽스페이서 및 상부에 제 1 식각정지막을 가진 게이트 전극을 형성하여 상기 메모리 셀부에는 제 1 도전형 트랜지스터를 형성하고, 상기 주변회로부에는 제 1 도전형 및 제 2 도전형의 트랜지스터를 형성한다. 상기 트랜지스터들이 형성된 반도체 기판 상에는 충간절연막이 형성되며, 상기 충간절연막을 패터닝 하여 상기 메모리 셀부와 주변회로부의 상기 트랜지스터들의 소오스/드레인 영역을 개구시키고 상기 개구부를 도전성 물질로 충진시켜 플러그를 형성한다. 이어서, 상기 플러그 및 상기 충간절연막을 식각하여 상기 플러그를 노드분리함으로써, 상기 메모리 셀부의 소오스/드레인 영역 상에 컨택패드를 형성함과 동시에 상기 주변회로부의 소오스 드레인 영역 상에도 컨택패드를 형성한다.

<18> 본 발명의 제 1 실시예에 따르면, 상기 도전성 물질은 도핑된 폴리실리콘인 것이

바람직하다. 이 경우, 상기 플러그 형성단계는 다음의 과정을 통해 수행된다. 먼저, 상기 충간절연막을 식각하여 상기 메모리 셀부와 주변회로부의 제 1 도전형 트랜지스터의 소오스/드레인 영역을 개구시키고, 상기 개구된 제 1 도전형 트랜지스터의 소오스/드레인 영역에 제 1 도전형 폴리실리콘층을 형성한다. 이어서, 상기 충간절연막을 식각하여 상기 주변회로부의 제 2 도전형 트랜지스터의 소오스/드레인 영역을 개구시키고, 상기 개구된 제 2 도전형 트랜지스터의 소오스/드레인 영역에 제 2 도전형 폴리실리콘층을 형성한다.

<19> 본 발명의 제 1 실시예에 따르면, 상기 트랜지스터 형성단계 다음에는 상기 반도체 기판의 전면에 걸쳐 제 2 식각정지막을 형성하는 단계를 더 포함할 수 있다. 여기서, 상기 제 2 식각정지막은 상기 플러그 형성단계의 충간절연막에 비해 식각선택비가 낮은 것을 특징으로 한다. 상기 제 2 식각정지막은 실리콘 질화막인 것이 바람직하다.

<20> 본 발명의 제 1 실시예에 따르면, 상기 컨택패드 형성단계는 상기 메모리 셀부와 주변회로부의 충간절연막을 에치 백하는 단계, 상기 메모리 셀부와 주변회로부의 도전성 물질을 에치 백하는 단계를 포함하여 상기 메모리 셀부와 주변회로부의 플러그를 동시에 노드분리하여 컨택패드를 형성하는 것을 특징으로 한다. 뿐만 아니라 상기 컨택패드 형성단계는 상기 도전성 물질과 상기 충간절연막을 화학기계적 연마하여 노드분리하여 형성될 수 도 있다.

<21> 상기 다른 기술적 과제를 달성하기 위하여 본 발명은 반도체 기판 상에 복수개의 메모리 셀을 가진 메모리 셀부와 상기 메모리 셀부의 메모리 셀에 데이터를 쓰고 읽기 위한 주변회로부로 이루어진 반도체 장치의 컨택패드로 금속컨택패드를 형성하는 방법을 제공한다. 본 발명의 방법은, 먼저 상기 반도체 기판에 메모리 셀부와 주변회로부를 정

의하고, 각 소자간을 분리시키는 필드 산화막을 형성한다. 이어서, 상기 반도체 기판의 메모리 셀부와 주변회로부의 활성영역 상에 소오스/드레인 영역과 측벽스페이서 및 상부에 식각정지막을 가진 게이트 전극을 형성하여 상기 메모리 셀부에는 제 1 도전형 트랜지스터를 형성하고, 상기 주변회로부에는 제 1 도전형 및 제 2 도전형의 트랜지스터를 형성한다. 상기 각 소오스/드레인 영역 상에는 상기 소오스/드레인 영역으로부터 상기 필드산화막으로 걸쳐진 도전성 에피택셜층을 형성한다. 이어서, 상기 각 트랜지스터 및 도전성 에피택셜층이 형성된 반도체 기판 상에 충간절연막을 형성하고, 상기 충간절연막을 패터닝하여 상기 메모리 셀부와 주변회로부의 상기 각 트랜지스터의 소오스/드레인 영역을 개구시키고 상기 개구부를 도전성 금속물질로 충진시켜 플러그를 형성한다. 이어서, 상기 플러그 및 충간절연막을 식각하여 상기 플러그를 노드분리함으로써, 상기 메모리 셀부와 주변회로부의 금속 컨택패드를 동시에 형성할 수 있다.

<22> 본 발명의 제 2 실시예에 따르면, 상기 도전성 에피택셜층 형성단계는, 다음의 단계를 포함하는 것을 특징으로 한다. 먼저, 상기 반도체 기판의 각 소오스/드레인 영역 상에 에피택셜층을 형성한다. 이어서, 상기 제 1 도전형 트랜지스터의 소오스/드레인 영역 상에 형성된 상기 에피택셜층을 개구시키는 포토레지스트 패턴을 형성하고 이를 마스크로 하여 제 1 도전형 불순물을 이온주입한다. 동일한 방식으로 상기 제 2 도전형 트랜지스터의 소오스/드레인 영역 상에 형성된 상기 에피택셜층을 개구시키는 포토레지스트 패턴을 형성하고 이를 마스크로 하여 제 2 도전형 불순물을 이온주입하여 도전성 에피택셜층을 형성한다. 상기 에피택셜층은 실리콘인 것이 바람직하다. 상기 에피택셜층의 도핑농도는  $1\times10^{19}\sim 1\times10^{21}$  원자/ $\text{cm}^3$  인 것이 바람직하다.

<23> 본 발명의 제 2 실시예에 따르면, 상기 노드분리단계는 상기 도전성 금속 플러그

및 상기 충간절연막을 에치 백 또는 화학기계적으로 연마하여 수행된다. 상기 플러그 형 성단계의 도전성 금속물질은 텅스텐인 것이 바람직하다.

<24> 상기 또 다른 기술적 과제를 달성하기 위하여 본 발명은 반도체 기판 상에 메모리 셀에 데이터를 쓰고 읽기 위한 주변회로부의 트랜지스터의 소오스/드레인 영역에 금속컨 택패드를 형성하는 방법을 제공한다. 본 발명의 방법은, 먼저 상기 주변회로부의 활성영 역 상에 측벽스페이서 및 상부에 식각정지막을 가진 제 1 및 제 2 게이트 전극을 형성한다. 상기 제 1 및 제 2 게이트 전극이 형성된 상기 반도체 기판 상에는 충간절연막을 형성한다. 이어서, 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극을 포함하는 활성영역 상의 충간절연막 일정부분을 개구시키고 상기 개구된 활성영역에 제 1 도전형 또는 제 2 도전형 불순물을 주입하여 소오스/드레인 영역을 형성함으로써 제 1 도전형 트랜지스터 및 제 2 도전형 트랜지스터를 형성한다. 이어서, 상기 개구부에 금속층을 형성하고 상기 금속층을 노드분리하여 금속 컨택패드를 형성한다.

<25> 본 발명의 제 3 실시예에 따르면, 상기 주입된 제 1 도전형 및 제 2 도전형 불순물의 농도는  $1\times10^{19} \sim 1\times10^{21}$  원자/ $\text{cm}^3$ 인 것이 바람직하다.

<26> 본 발명의 제 3 실시예에 따르면, 상기 트랜지스터 형성단계는 다음의 단계들로 이루어진다. 먼저, 상기 제 1 게이트 전극을 포함하는 활성영역 상의 충간절연막을 식각하여 제 1 개구부를 형성하고, 상기 제 1 개구부에 제 1 도전형 불순물을 주입하여 상기 반도체 기판 상에 제 1 도전형 소오스/드레인 영역을 형성한다. 이어서, 상기 제 2 게이트 전극을 포함하는 활성영역 상의 충간절연막을 식각하여 제 2 개구부를 형성하고, 상기 제 2 개구부에 제 2 도전형 불순물을 주입하여 상기 반도체 기판 상에 제 2 도전형 소오스/드레인 영역을 형성한다.

<27> 본 발명의 제 3 실시예에 따르면, 상기 트랜지스터 형성단계는 다음의 과정을 거쳐 수행될 수 도 있다. 먼저, 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극을 포함하는 활성영역 및 상기 게이트 전극 사이의 비활성 영역 상의 층간절연막을 동시에 식각하여 개구시키고, 상기 개구부의 제 1 게이트 전극을 포함하는 활성영역 제 1 도전형 불순물을 이온주입하여 제 1 도전형 소오스/드레인 영역을 형성한다. 이어서, 상기 개구부의 제 2 게이트 전극을 포함하는 활성영역에 제 2 도전형 불순물을 이온주입하여 제 2 도전형 소오스/드레인 영역을 형성한다. 이 방법에 따르면, 상기 노드분리된 금속 컨택패드는 상기 제 1 도전형 트랜지스터의 소오스 또는 드레인과 상기 제 2 도전형 트랜지스터의 소오스 또는 드레인이 국부적으로 연결된 것을 특징으로 한다.

<28> 이하 도면을 참조하여 본 발명의 바람직한 실시예들을 설명함으로써, 본 발명을 상술한다. 다음에 설명되는 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 본 발명의 실시예를 설명하는 도면상의 동일한 부호는 동일한 요소를 지칭한다.

<29> 실시예1

<30> 도 2 내지 도 10은 본 발명의 방법으로 메모리 셀부(C)에는 N형 트랜지스터와 커패시터를 가지며, 주변회로부(P)에는 n채널 트랜지스터 및 p채널 트랜지스터를 가지는 반도체 디램을 형성하는 과정을 도시한 단면도들이다.

<31> 도 2는 p형 반도체 기판(200) 상에 상기 기판(200)에 형성될 반도체 소자간을 경계짓는 필드산화막(210)이 형성된 것을 도시한 것이다. 여기서, 필드 산화막(210)은 반도체 기판(200)을 메모리 셀부(C)와 주변회로부(P)를 경계지를 뿐 아니라 상기 상기 메모

리 셀부(C) 및 주변회로부의 반도체 소자 간을 분리시킨다.

<32> 상기 필드산화막(210)은 일반적인 트렌치공정(shallow trench isolation method) 또는 로코스(local oxidation of silicon)공정을 통해 형성될 수 있다.

<33> 도 3은 상기 필드 산화막(210)이 형성된 반도체 기판(200) 상의 메모리 셀부(C)에는 n채널 트랜지스터( $C_N$ )가 형성되고, 주변회로부(P)에는 n채널 트랜지스터( $P_N$ ) 및 p채널 트랜지스터( $P_P$ )가 형성된 모습을 도시한 것이다. 상기 트랜지스터( $C_N$ ,  $P_N$ ,  $P_P$ )는 게이트 전극( $G_N$ ,  $G_P$ ) 및 소오스/드레인 영역(220, 222)으로 구성되며, 상기 게이트 전극( $G_N$ ,  $G_P$ )은 게이트 산화막(212), 도전층(218) 및 식각정지막(216)의 다층막과 측벽 스페이서(218)을 포함하여 구성된다. 상기 게이트 전극( $G_N$ ,  $G_P$ ) 및 소오스/드레인 영역(220, 222)을 형성하는 과정은 본 기술분야에서는 통상의 지식에 속하는 것으로, 구체적인 과정에 대해서 도면으로 도시하지는 않았지만 도 3을 참조하여 간략히 설명하면 다음과 같다.

<34> 먼저 반도체 기판(200) 상에 실리콘 산화막, 도전층 및 실리콘 질화막을 순차 형성한다. 상기 도전층으로는 폴리실리콘, 폴리사이드 등이 사용될 수 있다. 상기 다층막의 형성은 통상의 방법으로 수행되는데, 상기 실리콘 산화막은 열산화법(thermal oxidation)으로 형성되며, 상기 도전층 및 실리콘 질화막은 통상의 화학기상증착법에 의해 형성될 수 있다. 여기서 각각의 실리콘 산화막/도전층/실리콘질화막은 후속의 패터닝을 통해 게이트 산화막(212), 게이트 도전층(214) 및 식각정지막(216)을 형성하게 된다. 이 과정은 상기 실리콘 질화막을 패터닝하여 상기 게이트 전극( $G_N$ ,  $G_P$ )이 형성될 부분을 마스킹하는 패턴을 형성하고 상기 패턴을 식각마스크로 하여 하부의 폴리실리콘층 및 게이트 산화막을 순차 식각함으로써 수행된다. 상기 패터닝과정은 이방성 전식식각, 예

컨대 반응성 이온식각법(reactive ion etching)을 통해 수행된다. 상기 실리콘 질화막 패턴에 의한 상기 폴리실리콘층의 식각과정은 실리콘 산화막이 식각종료점이 되도록, 폴리실리콘이 실리콘 산화막에 대해 고선택비를 가지는 조건에서 식각하는 것이 바람직하다. 여기서 폴리실리콘이 실리콘 산화막에 대해 고선택비를 가진다는 말은 폴리실리콘의 식각속도가 실리콘 산화막에 비해 크다는 것을 의미하며, 고선택비란 용어는 본 발명 전체에 걸쳐 동일한 의미로 사용된다.

<35> 이상의 과정을 거쳐 형성된 반도체 기판 상에 소오스/드레인 영역(220, 222)의 LDD(lightly doped drain)구조를 구현하기 위하여 상기 패터닝된 다층막을 이온주입마스크로 반도체 기판 상의 활성영역에 이온주입을 행하여 저농도의 불순물 영역을 형성한다. 물론 상기 소오스/드레인의 도전형에 따라 n형 및 p형의 불순물로 이온주입을 행하며, 이것은 통상의 사진공정으로 형성된 포토레지스트 패턴을 이온주입마스크로 사용하여 원하는 도전형의 불순물을 이온주입할 수 있다.

<36> 이어서, 상기 패터닝된 실리콘 산화막/폴리실리콘층/실리콘 질화막의 측벽에 통상적인 방법으로 스페이서(218)를 형성한다. 즉, 상기 패터닝된 실리콘/폴리실리콘/실리콘 질화막 상에 다시 측벽형성을 위한 실리콘질화막을 형성한 뒤, 상기 실리콘 질화막을 반응성 이온식각을 행함으로써 상기 스페이서를 형성할 수 있다. 상기 스페이서의 형성을 위해서 실리콘 질화막의 하부에 실리콘 질화막에 대해 고선택비를 가진 실리콘 산화막을 증착함으로써, 스페이서의 형성을 용이하게 할 수 있다.

<37> 스페이서를 형성한 후에는 상기 반도체 기판(200) 상에 소오스/드레인 영역(220, 222)을 형성하기 위한 이온주입공정을 수행한다. 여기서, n채널 트랜지스터의 소오스/드레인 영역(220)에는 n형 불순물이 주입되고, p채널 트랜지스터의 소오스/드레인 영역

(222)에는 p형 불순물이 주입된다. 따라서, 상이한 도전형의 이온주입과정을 수행하기 위한 이온주입마스크는 통상의 사진공정을 통해 형성된 포토레지스트 패턴을 사용한다.

<38> 이상의 과정을 거쳐 상기 반도체 기판의 메모리 셀부에는 n채널 트랜지스터( $C_N$ )가 형성되고, 주변회로부에는 n채널 트랜지스터( $P_N$ ) 및 p채널 트랜지스터( $P_P$ )가 형성된다.

<39> 이하에서는 도 4 내지 도 8을 참조하여, 상기 트랜지스터( $C_N$ ,  $P_N$ ,  $P_P$ )가 형성된 반도체 기판(200) 상의 소오스/드레인 영역(220, 222)과 연결되는 컨택의 형성을 용이하게 하기 위한 본 발명의 컨택패드를 형성하는 과정을 설명한다.

<40> 도 4를 참조하면, 상기의 과정을 거쳐 셀 트랜지스터( $C_N$ ) 및 주변회로 트랜지스터( $P_N$ ,  $P_P$ )가 형성된 반도체 기판(200) 상에 실리콘 질화막(224)을 약 10~20nm의 두께로 형성한다. 상기 실리콘 질화막(224)은 소오스/드레인 영역(220, 222)으로 연결되는 컨택식각시 식각정지막의 역할을 한다. 상기 실리콘 질화막(224)은 통상의 화학기상증착법에 의해 형성될 수 있다. 이어서, 상기 실리콘 질화막(224) 상에 통상의 방법으로 층간절연막(230)을 형성한다. 후속공정을 위하여 상기 층간절연막(230)의 표면은 화학기계적 연마공정을 적용하여 평탄화시키는 것이 바람직하다.

<41> 도 5를 참조하면, 상기 층간절연막(230)의 일부를 식각하여, n채널 트랜지스터( $C_N$ ,  $P_N$ )가 형성된 메모리 셀부 및 주변회로부의 활성영역을 개구시킨다.

<42> 상기 과정을 구체적으로 살펴보면, 먼저 통상의 사진공정을 통해 상기 절연막(230) 상에 상기 개구부(232)를 정의하는 포토레지스트 패턴(미도시)을 형성한다. 이어서, 이를 식각마스크로 하여 이방성 식각방법인 반응성 이온식각공정으로 상기 층간절연막(230)을 식각한다. 상기 층간절연막(230) 하부에는 식각정지막으로 실리콘 질화막(224)

이 형성되어 있으므로, 상기 식각공정은 실리콘 질화막(234)에 비해 층간절연막의 식각 선택비가 높은 조건에서 수행함으로써, 상기 실리콘 질화막(224)이 식각종료점이 되도록 하는 것이 바람직하다. 그러나, 상기 개구부(232)가 반도체 기판의 활성영역만을 개구시키는 경우, 즉 개구부의 경계가 활성영역 상에 형성되는 경우에는 상기 식각정지막이 없어도 무관하다. 그러나, 상기 개구부(232)의 경계가 필드산화막(210) 상에 형성되는 경우에는 필드산화막(210)의 식각을 방지하기 위해 식각정지막의 사용이 필요하게 된다.

<43> 그런 다음에, 상기 개구부에 노출된 상기 실리콘 질화막(224) 및 상기 포토레지스트 패턴(미도시)을 제거한다.

<44> 도 6을 참조하면, 상기 개구부(232)를 도핑된 폴리실리콘막(234)으로 충전시킨다. 이것은 상기 반도체 기판(200)의 전면, 즉 메모리 셀부와 주변회로부에 걸쳐 폴리실리콘 막(234)을 증착한 후, 상기 층간절연막(230) 상에 증착된 폴리실리콘막(234)을 식각해냄으로써 수행될 수 있다. 상기 폴리실리콘막(234)의 도핑은 폴리실리콘막(234)의 형성과 동시에 인시튜로 실시될 수 도 있으나, 폴리실리콘막(234)의 도핑후 n형 불순물을 이온 주입함으로써 행해질 수 있다. 상기 폴리실리콘막(234)의 식각은 에치 백 또는 화학기계적 연마공정을 통해 이루어진다. 이 때, 상기 에치 백 공정을 적용하여 상기 폴리실리콘 막(234)을 식각할 때는, 필요에 따라 상기 폴리실리콘막(234)을 과도하게 식각하여 미리 노드분리된 상태로 만들 수도 있다.

<45> 도 7을 참조하면, 상기 층간절연막(230)을 식각하여 p채널 트랜지스터( $P_p$ )가 형성된 주변회로부의 활성영역을 개구시키고 상기 개구부에 도핑된 폴리실리콘막(236)을 충전시킨다.

<46> 상기 개구부 형성과정은 도 5와 관련하여 설명한 통상의 사진공정 및 식각공정을 통해 이루어진다. 즉, 사진공정을 통해 상기 개구부를 개구시키는 포토레지스트 패턴(미도시)을 형성하고, 이를 식각마스크로 하여 통상의 전식식각공정, 예컨대 반응성 이온식각법으로 상기 충간절연막(230)을 식각한다. 이어서, 상기 개구부의 노출된 실리콘질화막(224)과 상기 포토레지스트 패턴(미도시)을 제거한다.

<47> 또한 폴리실리콘막의 충진과정도 도 6과 관련하여 설명한 충진과정과 동일한 방식으로 수행된다. 즉, 상기 포토레지스트 패턴을 제거하고, 상기 반도체 기판 전면에 걸쳐 폴리실리콘막을 화학기상증착법으로 증착하여 상기 개구부를 충진시킨다. 도 7에 도시되지는 않았지만, 상기 증착과정을 통해 메모리 셀부와 주변회로부의 n형 폴리실리콘막(234) 및 충간절연막(230) 상에도 폴리실리콘막이 증착된다. 상기 폴리실리콘막은 앞서와 마찬가지로 인시튜 또는 별도의 이온주입과정을 거쳐 p형 불순물로 도핑된다. 이 이온주입과정에서는 상기 n형 폴리실리콘막(234)가 형성된 부위를 마스킹하기 위하여 통상의 사진공정을 거쳐 포토레지스트 패턴(미도시)을 형성하여 이온주입을 행한다. 이상의 과정을 거쳐 도 7에 도시된 바와 같이, 메모리 셀부 및 주변회로부의 소오스/드레인 영역(220, 222)에 n형 불순물로 도핑된 폴리실리콘막(234) 및 p형 불순물로 도핑된 폴리실리콘막(236)을 형성할 수 있다.

<48> 도 8을 참조하면, 상기 n형 불순물이 도핑된 폴리실리콘막(234) 및 p형 불순물이 도핑된 폴리실리콘막(236)을 평탄화공정을 적용하여 노드분리하여 컨택패드(240, 250)를 형성한다. 이 과정은 에치 백 또는 화학기계적 연마공정을 통해 이루어질 수 있다. 예를 들면, 상기 폴리실리콘막(234, 236)과 상기 충간절연막(230)을 순차적으로 에치 백하여 노드분리시키거나, 화학기계적 연마공정을 행하여 노드분리를 할 수 있으며, 양자를 조

합하여 행할 수도 있다.

<49>      이상과 같이 도 4 내지 도 8과 관련하여 설명된 과정을 통해 상기 트랜지스터의 소오스/드레인 영역과 접촉하는 컨택패드(240, 250)를 형성할 수 있다.

<50>      이하에서는 도 9 내지 도 10을 참조하여, 일반적인 디램 공정에 따라 상기 컨택패드들(240, 250)에 컨택(320, 340, 340')을 형성하는 과정을 설명한다.

<51>      도 9를 참조하면, 상기 폴리실리콘 컨택패드(240, 250)에 연결되는 비트라인 컨택(320), 비트라인(330), 커패시터 형성용 컨택(340)을 형성한다. 상기 각 컨택(320, 340)은 충간절연막(310)에 통상의 사진 및 식각공정을 적용하여 컨택홀을 형성한 후 이를 도전성 물질로 매립하여 형성될 수 있다. 여기서는 상기 각 컨택의 형성과정시 증착 및 식각되는 여러 충간절연막층을 구분하여 도시하지는 않았지만, 실제로 상기 충간절연막(310)은 컨택형성공정에 따라 여러개의 충간절연막으로 구성된다. 이하에서 상기 각 컨택을 형성하는 과정을 상술한다. 먼저, 실리콘 산화막으로 된 제 1 충간절연막(310; 구분하여 도시하지 않음)을 형성하고 상기 제 1 충간절연막(310)을 패터닝하여 상기 트랜지스터의 소오스 또는 드레인에 이르는 비트라인 컨택(320)홀을 형성한다. 이어서 상기 컨택홀을 도전성 물질, 예컨대 텅스텐으로 충진하여 비트라인 컨택(320)를 형성할 수 있다. 이어서, 상기 비트라인 컨택(320)과 연결되는 비트라인(330)을 형성한다. 상기 비트라인(330)은 W과 같은 배선금속인 경우, 증착 및 패터닝과정을 거치거나 다마신(Damascene)공정을 통해 형성될 수 있다. 다마신 공정을 통해 형성될 경우에는 상기 제 1 충간절연막(310) 상에 별도의 충간절연막(미도시)이 형성될 수 있다. 이어서, 상기 비트라인 및 제 1 충간절연막(310) 상에 제 2 충간절연막(구분하여 도시하지 않음)을 형성하고 상

기 비트라인 컨택 형성과정과 동일하게 상기 충간절연막을 사진 및 식각과정을 적용하여 커패시터 형성용 컨택(340)홀을 형성하고 도전성 물질을 충진하여 커패시터 형성용 컨택(340)을 형성할 수 있다.

<52> 여기서, 주의할 것은 상기 충간절연막(310)을 식각하여 각 컨택홀을 형성하는 식각과정에서 상기 트랜지스터의 게이트 전극이 손상을 입지 않도록 하는 것이다. 이것은 상기 컨택홀이 상기 게이트 라인 사이의 좁은 영역에 형성되어 정렬마진이 적기 때문에 오정렬로 인해 상기 게이트 전극과 접촉할 가능성이 있기 때문이다. 이러한 문제점을 해결하기 위해서는 상기 충간절연막(310)의 식각과정에서 상기 게이트 전극의 상부 실리콘질화막(216) 및 컨택패드(240)의 폴리실리콘에 대해 산화막이 높은 식각선택비를 가지는 조건에서 식각하는 것이 필요하다. 즉, 충간절연막이 고선택비를 가지는 조건에서 식각함으로써, 상기 식각은 컨택패드(240) 또는 상기 게이트 상부의 식각정지막(216)이 자연적으로 식각종료점이 되게 함으로써, 상기 컨택홀과 게이트전극과의 접촉을 차단할 수 있다. 한편, 이러한 관점에서 상기 충간절연막(310)을 형성하기 전에 상기 컨택패드(240, 250)와 게이트 전극 상부에 별도의 실리콘 질화막으로 된 식각정지막(232)을 형성하게 되면, 각 컨택홀은 상기 식각정지막(232)에서 식각이 종료되게 된다. 따라서, 컨택홀의 형성이 보다 용이해지게 된다.

<53> 도 10을 참조하면, 상기 과정을 거친 반도체 기판 상에 하부전극(352), 유전막(354) 및 상부전극(356)을 가진 커패시터구조(350), 금속컨택(340') 및

금속배선(360)을 형성함으로써, 트랜지스터( $C_N$ ,  $P_N$ ,  $P_P$ ) 및 커패시터(250)를 가진 반도체 디램의 기본적인 구조를 형성할 수 있다. 여기서 상기 커패시터(250), 금속컨택(340') 및 금속배선(360)의 형성과정은 이 분야에서 통상의 지식에 속하는 것으로 이에 대해서는 구체적인 설명을 생략한다.

<54> 상술한 본 발명의 실시예에 따르면, 메모리 셀부 및 주변회로부 트랜지스터의 소오스/드레인에 형성되는 컨택패드를 동시에 형성함으로써, 종래기술과는 달리 각 컨택패드를 패터닝시 발생하는 소오스/드레인의 식각손상을 방지할 수 있게 된다. 또한 본 실시예에 의한 컨택패드는 각 컨택패드의 높이가 거의 동일하므로 메모리 셀부와 주변회로부의 컨택패드에 연결되는 금속컨택의 형성이 용이해진다.

<55> 실시 예2

<56> 이하에서는 메모리 셀부와 주변회로부의 컨택패드를 금속컨택패드로 형성하는 과정을 설명한다.

<57> 본 실시예에서 금속컨택패드를 사용함으로써 얻을 수 있는 이점은 다음과 같다. 일반적으로, 고농도로 도핑된 폴리실리콘의 경우 면저항이  $200\sim400 \Omega/\square$ 정도로 텅스텐과 같은 금속의 수  $\Omega/\square$ 에 비교하면 매우 큰 값을 가진다. 따라서 컨택과 소오스/드레인과의 접촉저항은 반도체 소자의 집적을 방해하는 중요한 요소가 된다. 또한 소오스/드레인의 기생저항으로 인한 전류구동력 감소의 관점에서도 금속컨택패드를 사용이 바람직하다. 이를 도 16을 참조하여 설명한다. 도 16에 도시된 바와 같이 반도체 기판을 평면적으로 보았을 때, 소오스(610)로부터 드레인(620)으로 전류가 흐를 때, 각 전류는 점선으로 도시된 게이트 전극(630)을 통과하는 경로( $P_1$ ,  $P_2$ )에 따라 상기 컨택(640)에 이르는 거리가 달라지므로 이에 따라 전압강하가 발생되어 전류구동력이 감소하게 된다. 이러한

기생저항을 감소시키기 위해 상기 소오스(610)/드레인(620)의 여러곳에 컨택(640)을 형성해야 하며 따라서 활성영역(610)이 넓어지는 결과가 초래되어 칩 사이즈 측면에서 불리하게 된다. 그러나, 금속패드의 경우에는 전류가 흐르는 거리에 따라 저항으로 인한 전압강하가 미미하므로 소오스(610)/드레인(620) 각각에 하나의 컨택(640)을 형성하여도 무방하게 된다.

<58> 한편, 금속컨택패드의 사용은 상기의 이점을 가지고 있으나, 소오스/드레인과 금속 컨택이 오믹접촉을 이루기 위해서는 상기 소오스/드레인 영역이 고농도로 도핑되어야 한다는 문제점이 있다. 따라서, 고농도로 도핑가능한 소오스/드레인 영역을 형성하는 방법을 이하에서 후술한다.

<59> 도 11 내지 도 13은 본 발명의 금속패드를 형성하는 단계를 도시한 단면도들이다.

<60> 도 11을 참조하면, 앞서 도 2 내지 도 3과 관련하여 설명한 실시예에서 설명한 것과 동일한 방법으로 반도체 기판 상에 필드산화막(410) 및 메모리 셀부와 주변회로부에 n채널 트랜지스터( $C_N$ ,  $P_N$ ) 및 p채널 트랜지스터( $P_P$ )를 형성한다. 상기 트랜지스터( $C_N$ ,  $P_N$ ,  $P_P$ )는 앞서와 마찬가지로 각각 식각정지막(416), 측벽스페이서(418) 및 도전층(414)을 가진 게이트 전극과 게이트 전극의 소오스/드레인 영역(420, 422)으로 형성된다.

<61> 이어서, 상기 소오스/드레인 영역(420, 422) 상에 도전성 에피택셜층( $E_N$ ,  $E_P$ )을 형성한다. 여기서 상기 에피택셜층( $E_N$ ,  $E_P$ )은 소오스/드레인 영역(420, 422)의 주위에 형성된 필드산화막상(410)으로 약간 과성장(over-growth)되어 형성되는 것이 바람직하다. 그 이유는 다음과 같다. 통상의 메모리 셀부의 소오스/드레인 영역(420)의 경우 고농도의 이온주입이 어려운데 이것은 고농도의 이온주입으로 인해 소오스/드레인 영역(420)과 필드산화막(410) 사이의 경계부위가 이온주입에 의해 손상되어 누설전류특성이 나빠지

게 되기 때문이다. 그러나, 본 발명의 경우 상기 소오스/드레인 영역(420)으로부터 상기 필드산화막(410) 상으로 확장형성된 에피택셜층( $E_N$ )으로 인해 상기 필드산화막(410)과 소오스/드레인 영역(420)의 경계부가 이온주입에 의한 손상으로부터 보호되게 되어 누설 전류특성의 열화를 초래하지 않고도 고농도의 이온주입이 가능하게 된다. 상기 에피택셜층( $E_N$ ,  $E_P$ )은 실리콘을 통상의 기상에피택시법에 의해 성장시켜 형성할 수 있다.

<62> 증착된 에피택셜층( $E_N$ ,  $E_P$ )은 약  $1 \times 10^{19} \sim 1 \times 10^{21}$  원자/ $\text{cm}^3$ 의 고농도의 불순물로 이온주입된다. 이온주입은 상기 에피택셜층( $E_N$ ,  $E_P$ ) 하부의 소오스/드레인 영역(420, 422)의 도전형에 따라, n형 소오스/드레인 영역(420) 상의 에피택셜층( $E_N$ )에는 n형 불순물이 주입되고, p형 소오스/드레인 영역(422) 상의 에피택셜층( $E_P$ )에는 p형 불순물이 주입된다. 각 주입단계는 통상의 사진공정을 통해 형성된 포토레지스트 패턴(미도시)을 이온주입마스크로 하여 수행될 수 있다.

<63> 도 12를 참조하면, 반도체 기판 상에 상기 에피택셜층( $E_N$ ,  $E_P$ )상에 연결되는 컨택 패드를 형성하기 위한 개구부를 형성한다. 상기 개구부는 메모리 셀부 및 주변회로부에 동시에 형성된다. 상기 개구부를 형성하는 과정은 도 4와 관련하여 설명한 과정과 동일하다. 즉, 먼저 상기 에피택셜층( $E_N$ ,  $E_P$ )이 형성된 반도체 기판(400) 상에 식각정지막으로 실리콘 질화막(미도시)을 얇게 형성하고 이어서, 상기 실리콘 질화막(미도시)상에 층간절연막(430)을 형성한 뒤, 상기 층간절연막(430) 및 실리콘 질화막(미도시)을 통상의 사진공정 및 식각공정으로 식각하여 개구부를 형성한다.

<64> 도 13을 참조하면, 상기 반도체 기판(400) 상에 도전성 금속, 예컨대 텅스텐을 증착한 후, 노드분리하여 금속 컨택패드(420, 422)를 형성한다. 상기 노드분리 과정은 통

상의 평탄화공정 즉, 에치 백이나 화학기계적 연마공정을 통해 상기 도전성 금속 및 층간절연막(430)을 식각함으로써 수행될 수 있다.

<65> 상술한 본 실시예에 따르면, 트랜지스터의 소오스/드레인 영역 상에 과성장된 에피택셜층을 선택적으로 형성함으로써, 상기 에피택셜층이 하부의 소오스/드레인 영역을 이온주입으로 인한 손상으로부터 보호할 수 있게 되어 상기 에피택셜층 상에 금속컨택패드를 형성할 수 있을 정도의 고농도의 도핑이 가능하게 된다.

<66> 실시예 3

<67> 본 실시예에서는 도 14a 내지 도 14d를 참조하여, 상기 에피택셜층( $E_N$ ,  $E_P$ )없이 주변회로부에 금속컨택패드를 형성하는 방법을 설명한다. 본 실시예에서, 메모리 셀부의 컨택패드는 실시예 1에서와 같이 폴리실리콘 패드로 형성된다. 본 실시예는, 앞서 설명한 바와 같이 메모리 셀부의 소오스/드레인 영역은 누설전류특성 및 리프레쉬특성의 열화로 인해 고농도의 이온주입을 행할 수 없었으나, 주변회로부에서는 고농도의 이온주입이 가능하다는 점에서 착안한 것이다.

<68> 도 14a를 참조하면, 실시예 1에서 설명한 것과 동일한 방법으로 반도체 기판(500) 상의 주변회로부에 필드산화막(510)과 식각정지막(516), 측벽스페이서(518) 및 도전층(514)으로 구성되는 게이트 전극( $G_N$ ,  $G_P$ )을 형성한다. 이 단계에서는 실시예 1과는 달리 소오스/드레인 영역 형성을 위한 이온주입을 행하지 않는다.

<69> 도 14b를 참조하면, 상기 게이트 전극( $G_N$ ,  $G_P$ )이 형성된 반도체 기판(500) 상에 층간절연막(530)을 형성한다. 이어서, 통상의 사진 및 식각공정을 수행하여 상기 층간절연막(530)을 식각하여 n채널 트랜지스터의 소오스/드레인 영역이 형성될 부분(532)을 개구

시킨다. 상기 식각은 통상의 반응성 이온식각법을 통해 수행되며, 여기서, 앞서와 같이 층간절연막(530)의 형성전에 식각정지막으로 실리콘 질화막(미도시)을 추가로 형성함으로써, 상기 층간절연막(530)에 대해 고선택비를 가진 조건으로 식각을 행할 수 있다. 이어서, 상기 반도체 기판(500) 상에 고농도, 예컨대  $1 \times 10^{19} \sim 1 \times 10^{21}$  원자/cm<sup>3</sup>의 농도로 n형 불순물을 이온주입함으로써, n 채널 트랜지스터의 소오스/드레인 영역(520) 형성한다. 이 과정에서 p채널 트랜지스터가 형성될 부위는 층간절연막에 의해 보호됨으로 따로 이온주입마스크를 형성할 필요가 없다.

<70>      도 14c를 참조하면, 주변회로부의 p채널 트랜지스터(P<sub>p</sub>)가 형성될 부위의 층간절연막(530)을 개구시키고, 상기 개구부에 p형 불순물을 주입시켜 소오스/드레인 영역(522)을 형성한다. 도시되지는 않았지만, 상기 이온주입과정 중 n 채널 트랜지스터의 개구부(도 14b의 532)는 이온주입마스크, 예컨대 통상의 사진공정을 통해 형성된 포토레지스트 패턴(미도시)에 의해 보호되어야 한다.

<71>      도 14d를 참조하면, 상기 이온주입마스크(미도시)를 제거하고 상기 개구부 및 층간 절연막(530) 상에 도전성 금속물질, 예컨대 텅스텐을 증착한다. 이어서, 상기 도전성 금속물질 및 층간절연막(530)을 평탄화함으로써, 노드분리된 금속 컨택패드(540)를 형성할 수 있다. 여기서 상기 평탄화과정은 앞서 설명한 에치 백 또는 기계화학적 연마공정을 통해 수행될 수 있다.

<72>      상술한 본 실시예에 따르면, 주변회로의 n채널 및 p채널 트랜지스터의 소오스/드레인 영역 상에 금속 컨택패드를 형성할 수 있게 되고, 공정측면에서도 통상의 금속컨택 패드를 형성하는 종래의 방법에 비해 훨씬 단순화된다. 즉, 주변회로부에 금속컨택 패드를 형성하기 위해서는, n형 불순물 이온주입, p형 불순물 이온주입, 컨택홀 형성, n형

컨택플러그 이온주입 및 p형 컨택플러그 이온주입의 5번의 사진공정을 거쳐야 하지만, 본 실시예의 방법은 2번의 사진공정을 통해 컨택패드의 형성이 이루어지므로 사진공정의 횟수가 대폭 축소되는 이점을 가질 수 있다.

<73> 도 15a 내지 도 15c는 도 14a 내지 도 14d와 관련하여 설명한 본 실시예의 변형된 예로써, 주변회로부의 소오스/드레인 영역과 접촉하는 금속 컨택패드 간에 국부적인 배선(local inter-connection)을 형성하는 방법을 제공한다.

<74> 도 15a를 참조하면, 상기 주변회로부의 n채널 및 p채널 트랜지스터( $P_N$ ,  $P_P$ )가 형성될 부위의 층간절연막(630)을 식각하여 동시에 개구시킨다. 여기서, 도시된 바와 같이, 상기 각 트랜지스터( $P_N$ ,  $P_P$ )사이의 필드산화막(610)상의 층간절연막(630)도 제거된다. 이어서, 상기 개구부의 n채널 트랜지스터( $P_N$ )가 형성될 부위에 n형 불순물을 주입하여 소오스/드레인 영역(620)을 형성한다. 상기 이온주입과정 중 p채널 트랜지스터( $P_P$ )가 형성될 부위는 사진공정을 통해 형성된 포토레지스트 패턴(미도시)에 의해 마스킹된다.

<75> 도 15b를 참조하면, 상기 포토레지스트 패턴(미도시)을 제거하고 반대로 상기 이온주입된 n채널 트랜지스터( $P_N$ )가 형성될 부위를 마스킹하는 포토레지스트 패턴(미도시)을 형성한 뒤, 이를 이온주입마스크로 하여 상기 p채널 트랜지스터( $P_P$ )가 형성될 부위에 p형 불순물을 이온주입하여 소오스/드레인 영역(622)을 형성한다.

<76> 여기서, 상기 이온주입된 n형 및 p형 불순물의 농도는 약  $1 \times 10^{19} \sim 1 \times 10^{21}$  원자/ $\text{cm}^3$  이 적당하다.

<77> 도 15c를 참조하면, 상기 포토레지스트 패턴(미도시)을 제거하고, 상기 n채널 및 p채널 트랜지스터( $P_N$ ,  $P_P$ )가 형성된 반도체 기판(600) 상에 도전성 금속물질, 예컨대 텅

스텐을 증착한 뒤, 상기 금속물질 및 층간절연막(630)을 평탄화하여 노드분리된 금속 컨택패드(640, 650)를 형성한다. 도시된 바와 같이, 상기 n채널 트랜지스터와 p채널 트랜지스터( $P_N$ ,  $P_P$ ) 간은 서로 연결된 금속 컨택패드(650)에 의해 국부적인 연결배선을 제공하게 된다.

#### 【발명의 효과】

<78> 상술한 본 발명의 반도체 장치 형성방법에 따르면, 메모리 셀부 및 주변회로부 트랜지스터의 소오스/드레인에 형성되는 컨택패드를 동시에 형성함으로써, 종래기술과는 달리 각 컨택패드를 패터닝시 발생하는 소오스/드레인의 식각손상을 방지할 수 있게 된다. 또한 본 실시예에 의한 컨택패드는 각 컨택패드의 높이가 거의 동일하므로 메모리 셀부와 주변회로부의 컨택패드에 연결되는 금속컨택의 형성이 용이해진다.

<79> 또한 본 발명의 금속 컨택패드를 가진 반도체 장치의 형성방법에 따르면, 트랜지스터의 소오스/드레인 영역 상에 과성장된 에피택셜층을 선택적으로 형성함으로써, 상기 에피택셜층이 하부의 소오스/드레인 영역을 이온주입으로 인한 손상으로부터 보호할 수 있게 되어 상기 에피택셜층 상에 금속컨택패드를 형성할 수 있을 정도의 고농도의 도핑이 가능하게 된다. 상기 금속 컨택패드는 본 발명의 실시예에 설명된 바와 같이, 상기 에피택셜층 없이도 반도체 장치의 주변회로부에 형성될 수 도 있는데, 폴리실리콘을 사용하는 종래의 방법에 비해 사진공정의 횟수를 감소시킬 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 복수개의 메모리 셀을 가진 메모리 셀부와 상기 메모리 셀부의 메모리 셀에 데이터를 쓰고 읽기 위한 주변회로부로 이루어진 반도체 장치를 형성하는 방법에 있어서,

상기 반도체 기판에 메모리 셀부와 주변회로부를 정의하고, 각 소자간을 분리시키는 필드 산화막을 형성하는 단계;

상기 반도체 기판의 메모리 셀부와 주변회로부의 활성영역 상에 소오스/드레인 영역과 측벽스페이서 및 상부에 제 1 식각정지막을 가진 게이트 전극을 형성하여 상기 메모리 셀부에는 제 1 도전형 트랜지스터를 형성하고, 상기 주변회로부에는 제 1 도전형 및 제 2 도전형의 트랜지스터를 형성하는 단계;

상기 트랜지스터들이 형성된 반도체 기판 상에 총간절연막을 형성하는 단계;

상기 총간절연막을 패터닝하여 상기 메모리 셀부와 주변회로부의 상기 트랜지스터들의 소오스/드레인 영역을 개구시키고 상기 개구부를 도전성 물질로 충진시켜 플러그를 형성하는 단계;

상기 플러그 및 상기 총간절연막을 식각하여 상기 플러그를 노드분리함으로써, 상기 메모리 셀부의 소오스/드레인 영역 상에 컨택패드를 형성함과 동시에 상기 주변회로부의 소오스 드레인 영역 상에도 컨택패드를 형성하는 단계를 포함하는 반도체 장치의 형성방법.

**【청구항 2】**

제 1 항에 있어서, 상기 도전성 물질은 도핑된 폴리실리콘인 것을 특징으로 하는 반도체 장치의 형성방법.

**【청구항 3】**

제 2 항에 있어서, 상기 플러그 형성단계는,  
상기 층간절연막을 식각하여 상기 메모리 셀부와 주변회로부의 제 1 도전형 트랜지스터의 소오스/드레인 영역을 개구시키는 단계;  
상기 개구된 제 1 도전형 트랜지스터의 소오스/드레인 영역에 제 1 도전형 폴리실리콘층을 형성하는 단계;  
상기 층간절연막을 식각하여 상기 주변회로부의 제 2 도전형 트랜지스터의 소오스/드레인 영역을 개구시키는 단계;  
상기 개구된 제 2 도전형 트랜지스터의 소오스/드레인 영역에 제 2 도전형 폴리실리콘층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 형성방법.

**【청구항 4】**

제 1 항에 있어서, 상기 트랜지스터 형성단계 다음에 상기 반도체 기판의 전면에 걸쳐 제 2 식각정지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 형성방법.

**【청구항 5】**

제 4 항에 있어서, 상기 제 2 식각정지막은 상기 플러그 형성단계의 층간절연막에 비해 식각선택비가 낮은 것을 특징으로 하는 반도체 장치의 형성방법.

**【청구항 6】**

제 5 항에 있어서, 상기 제 2 식각정지막은 SiN막인 것을 특징으로 하는 반도체 장치의 형성방법.

**【청구항 7】**

제 1 항에 있어서, 상기 컨택패드 형성단계는  
상기 메모리 셀부와 주변회로부의 도전성 물질을 에치 백하는 단계 및  
상기 메모리 셀부와 주변회로부의 충간절연막을 에치 백하는 단계를 포함하여 상기  
메모리 셀부와 주변회로부의 플러그를 동시에 노드분리하여 컨택패드를 형성하는 것을  
특징으로 하는 것을 특징으로 하는 반도체 장치의 형성방법.

**【청구항 8】**

제 1 항에 있어서, 상기 컨택패드 형성단계는,  
상기 도전성 물질과 상기 충간절연막을 화학기계적 연마하여 노드분리하는 것을 특  
징으로 하는 반도체 장치의 형성방법.

**【청구항 9】**

반도체 기판 상에 복수개의 메모리 셀을 가진 메모리 셀부와 상기 메모리 셀부의  
메모리 셀에 데이터를 쓰고 읽기 위한 주변회로부로 이루어진 반도체 장치를 형성하는  
방법에 있어서,

상기 반도체 기판에 메모리 셀부와 주변회로부를 정의하고, 각 소자간을 분리시키  
는 필드 산화막을 형성하는 단계;

상기 반도체 기판의 메모리 셀부와 주변회로부의 활성영역 상에 소오스/드레인 영

역과 측벽스페이서 및 상부에 식각정지막을 가진 게이트 전극을 형성하여 상기 메모리 셀부에는 제 1 도전형 트랜지스터를 형성하고, 상기 주변회로부에는 제 1 도전형 및 제 2 도전형의 트랜지스터를 형성하는 단계;

상기 각 소오스/드레인 영역 상에 상기 소오스/드레인 영역으로부터 상기 필드산화막으로 걸쳐진 도전성 에피택셜층을 형성하는 단계;

상기 각 트랜지스터 및 도전성 에피택셜층이 형성된 반도체 기판 상에 충간절연막을 형성하는 단계;

상기 충간절연막을 패터닝하여 상기 메모리 셀부와 주변회로부의 상기 각 트랜지스터의 소오스/드레인 영역을 개구시키고 상기 개구부를 도전성 금속물질로 충진시켜 플러그를 형성하는 단계;

상기 플러그 및 상기 충간절연막을 식각하여 상기 플러그를 노드분리함으로써, 상기 메모리 셀부와 주변회로부의 금속 컨택패드를 동시에 형성하는 것을 특징으로 하는 반도체 장치의 형성방법.

#### 【청구항 10】

제 9 항에 있어서, 상기 도전성 에피택셜층 형성단계는,

상기 반도체 기판의 각 소오스/드레인 영역 상에 에피택셜층을 형성하는 단계;

상기 제 1 도전형 트랜지스터의 소오스/드레인 영역 상에 형성된 상기 에피택셜층을 개구시키는 포토레지스트 패턴을 형성하고 이를 마스크로 하여 제 1 도전형 불순물을 이온주입하는 단계;

상기 제 2 도전형 트랜지스터의 소오스/드레인 영역 상에 형성된 상기 에피택셜층

을 개구시키는 포토레지스트 패턴을 형성하고 이를 마스크로 하여 제 2 도전형 불순물을 이온주입하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 형성방법.

#### 【청구항 11】

제 10 항에 있어서, 상기 에피택셜층의 도평농도는  $1\times 10^{19}\sim 1\times 10^{21}$  원자/ $\text{cm}^3$  인 것을 특징으로 하는 반도체 장치의 형성방법.

#### 【청구항 12】

제 9 항 또는 제 10 항에 있어서, 상기 에피택셜층은 상기 실리콘으로 이루어진 것을 특징으로 하는 반도체 장치의 형성방법.

#### 【청구항 13】

제 9 항에 있어서, 상기 노드분리단계는 상기 도전성 금속 플러그 및 상기 층간절연막을 에치 백 또는 화학기계적으로 연마하여 수행되는 것을 특징으로 하는 반도체 장치의 형성방법.

#### 【청구항 14】

제 9 항에 있어서, 상기 플러그 형성단계의 도전성 금속물질은 텅스텐인 것을 특징으로 하는 반도체 장치의 형성방법.

#### 【청구항 15】

반도체 기판 상에 메모리 셀에 데이터를 쓰고 읽기 위한 주변회로부를 형성하는 방법에 있어서,

상기 주변회로부의 활성영역 상에 측벽스페이서 및 상부에 식각정지막을 가진 제 1 및 제 2 게이트 전극을 형성하는 단계;

상기 제 1 및 제 2 게이트 전극이 형성된 상기 반도체 기판 상에 층간절연막을 형성하는 단계;

상기 제 1 게이트 전극 및 상기 제 2 게이트 전극을 포함하는 활성영역상의 층간 절연막 일정부분을 개구시키고 상기 개구된 활성영역에 제 1 도전형 또는 제 2 도전형 불순물을 주입하여 소오스/드레인 영역을 형성함으로써 제 1 도전형 트랜지스터 및 제 2 도전형 트랜지스터를 형성하는 단계;

상기 개구부에 금속층을 형성하는 단계; 및

상기 금속층을 노드분리하여 금속 컨택패드를 형성하는 단계를 포함하는 반도체 장치의 형성방법.

#### 【청구항 16】

제 15 항에 있어서, 상기 주입된 제 1 도전형 및 제 2 도전형 불순물의 농도는  $1 \times 10^{19} \sim 1 \times 10^{21}$  원자/ $\text{cm}^3$ 인 것을 특징으로 하는 반도체 장치의 형성방법.

#### 【청구항 17】

제 15 항에 있어서, 상기 트랜지스터를 형성하는 단계는,  
상기 제 1 게이트 전극을 포함하는 활성영역 상의 층간절연막을 식각하여 제 1 개 구부를 형성하는 단계;

상기 제 1 개구부에 제 1 도전형 불순물을 주입하여 상기 반도체 기판 상에 제 1 도전형 소오스/드레인 영역을 형성하는 단계;

상기 제 2 게이트 전극을 포함하는 활성영역 상의 층간절연막을 식각하여 제 2 개 구부를 형성하는 단계;

상기 제 2 개구부에 제 2 도전형 불순물을 주입하여 상기 반도체 기판 상에 제 2 도전형 소오스/드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 형성방법.

#### 【청구항 18】

제 15항에 있어서, 상기 트랜지스터 형성단계는,  
상기 제 1 게이트 전극을 포함하는 활성영역 및 상기 제 2 게이트 전극을 포함하는 활성영역 상의 충간절연막을 동시에 식각하여 개구시키는 단계;  
상기 개구부의 제 1 게이트 전극을 포함하는 활성영역 제 1 도전형 불순물을 이온 주입하여 제 1 도전형 소오스/드레인 영역을 형성하는 단계;  
상기 개구부의 제 2 게이트 전극을 포함하는 활성영역에 제 2 도전형 불순물을 이온주입하여 제 2 도전형 소오스/드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 형성방법.

#### 【청구항 19】

제 15 항에 있어서, 상기 개구단계에서 상기 제 1 게이트 전극 및 제 2 게이트 사이의 비활성 영역 상의 충간절연막이 제거됨으로써, 상기 노드분리된 금속 컨택패드는 상기 제 1 도전형 트랜지스터의 소오스 또는 드레인과 상기 제 2 도전형 트랜지스터의 소오스 또는 드레인이 국부적으로 연결된 것을 특징으로 하는 반도체 장치의 형성방법.

#### 【청구항 20】

반도체 기판 상에 복수개의 메모리 셀을 가진 메모리 셀부와 상기 메모리 셀부의 메모리 셀에 데이터를 쓰고 읽기 위한 주변회로부로 이루어진 반도체 장치를 형성하는

방법에 있어서,

상기 반도체 기판에 메모리 셀부와 주변회로부를 정의하고, 각 소자간을 분리시키는 필드 산화막을 형성하는 단계;

상기 반도체 기판의 메모리 셀부와 주변회로부의 활성영역 상에 소오스/드레인 영역과 측벽스페이서 및 상부에 식각정지막을 가진 게이트 전극을 형성하여 상기 메모리 셀부에는 제 1 도전형 트랜지스터를 형성하고, 상기 주변회로부에는 제 1 도전형 및 제 2 도전형의 트랜지스터를 형성하는 단계;

상기 트랜지스터들이 형성된 반도체 기판 상에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막을 패터닝하여 상기 메모리 셀부와 주변회로부의 상기 트랜지스터들의 소오스/드레인 영역을 개구시키고 상기 개구부를 도전성 물질로 충진시켜 플러그를 형성하는 단계;

상기 제 1 절연막 및 상기 플러그를 식각하여 상기 플러그를 노드분리함으로써, 상기 메모리 셀부의 소오스/드레인 영역 상에 컨택패드를 형성함과 동시에 상기 주변회로부의 소오스 드레인 영역 상에도 컨택패드를 형성하는 단계;

상기 컨택패드가 형성된 반도체 기판 상에 제 2 절연막을 형성하는 단계; 및

상기 절연막을 패터닝하여 상기 최소한 하나의 컨택패드에 컨택을 형성하는 단계를 포함하는 반도체 장치의 형성방법.

### 【청구항 21】

제 20 항에 있어서, 상기 컨택패드를 형성하는 단계와 제 2 절연막을 형성하는 단

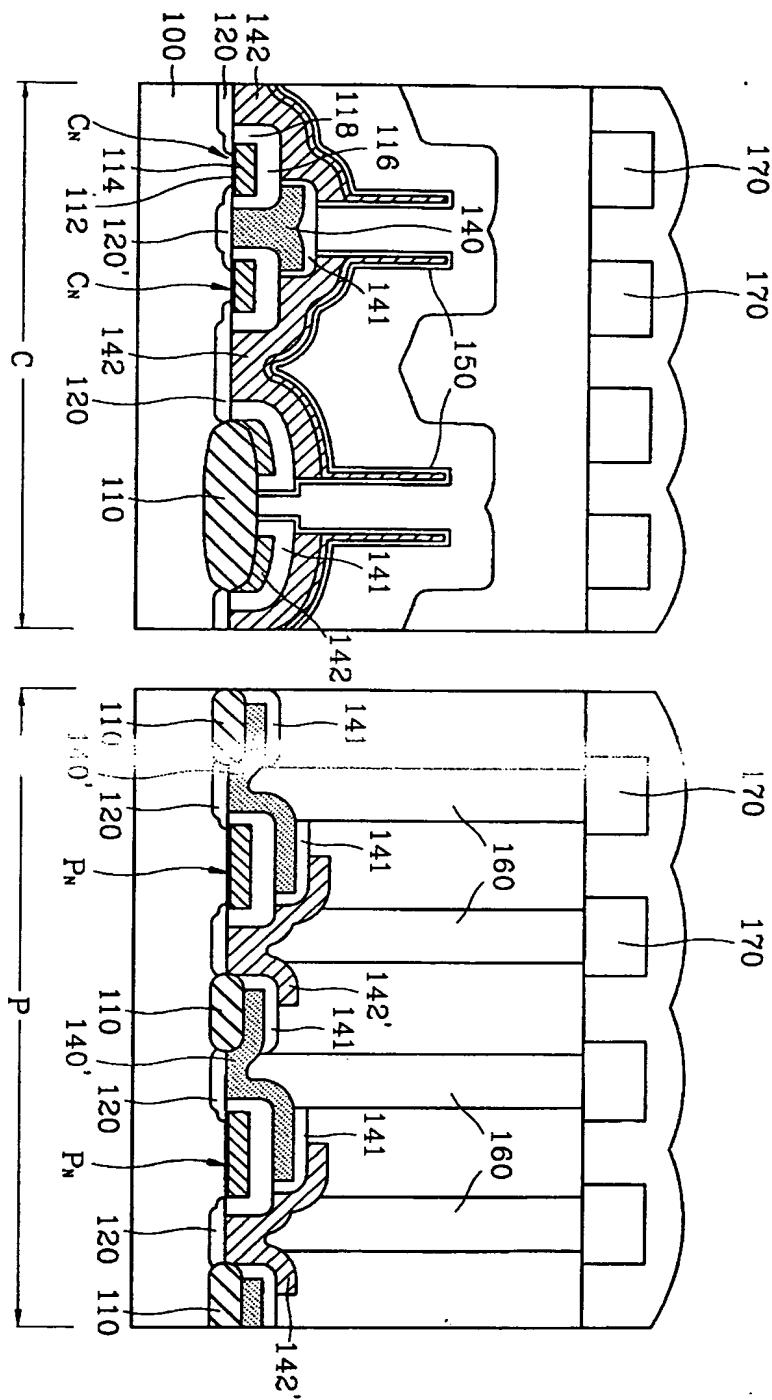
계사이에, 상기 컨택패드가 형성된 반도체 기판 상에 식각정지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 형성방법.

【청구항 22】

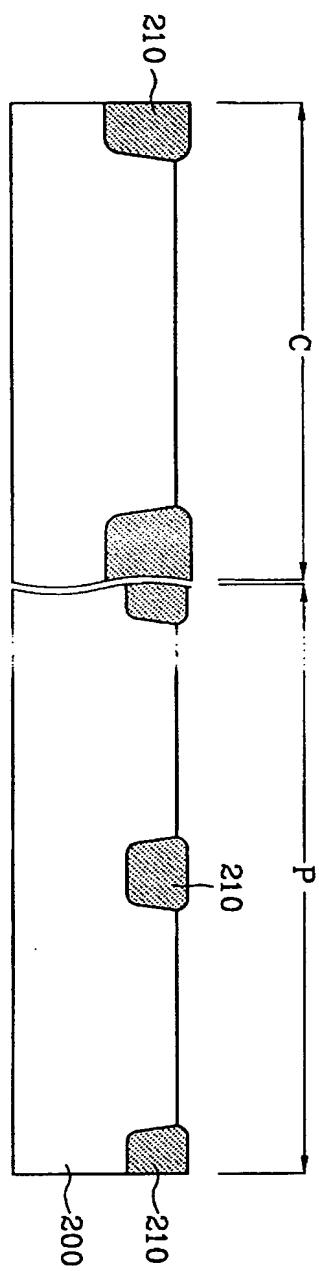
제 21 항에 있어서, 상기 식각정지막은 상기 제 2 절연막에 비해 낮은 식각선택비를 가지는 것을 특징으로 하는 반도체 장치의 형성방법.

## 【도면】

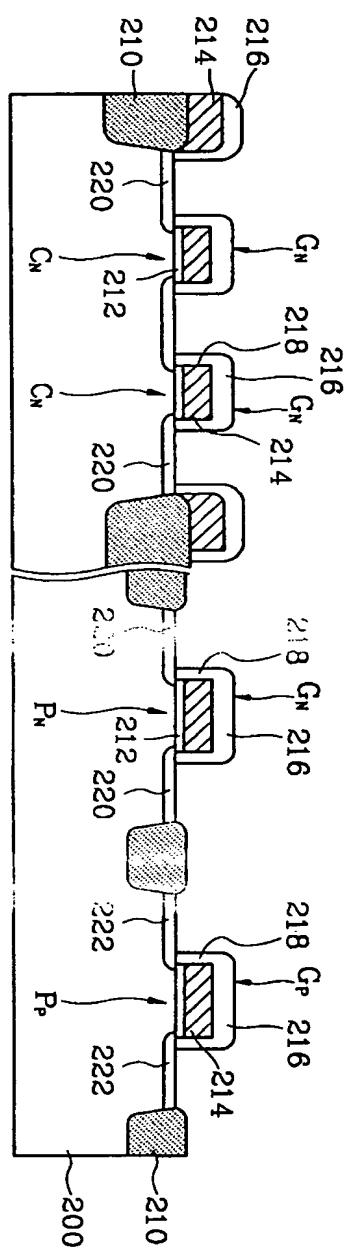
【도 1】



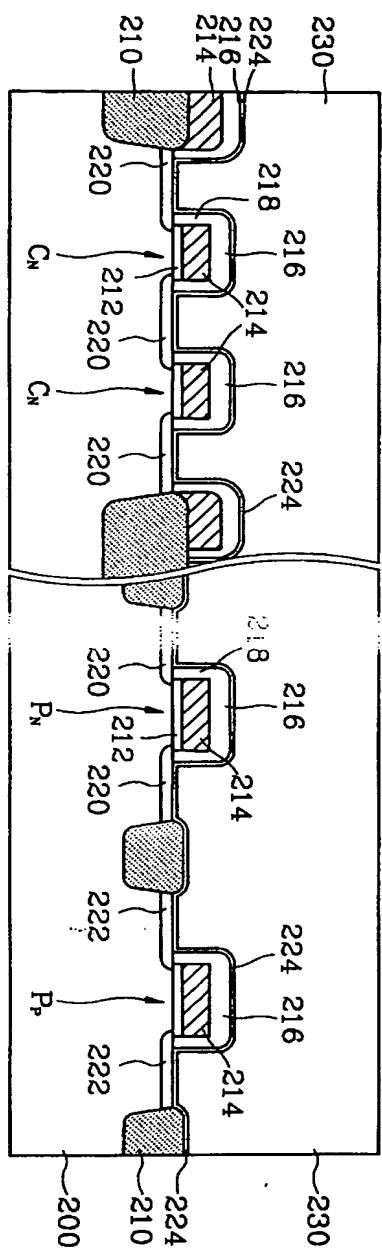
【도 2】



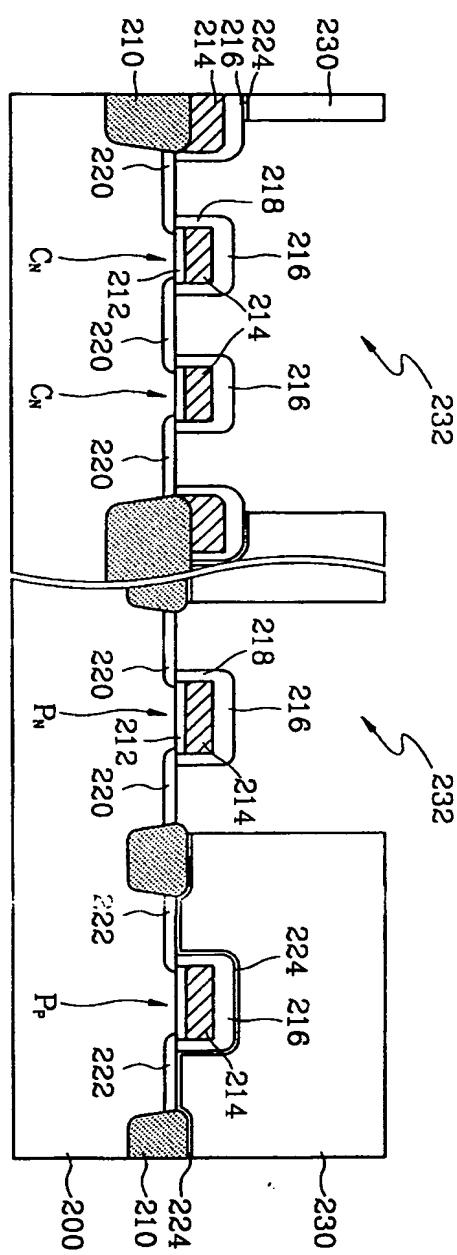
【도 3】



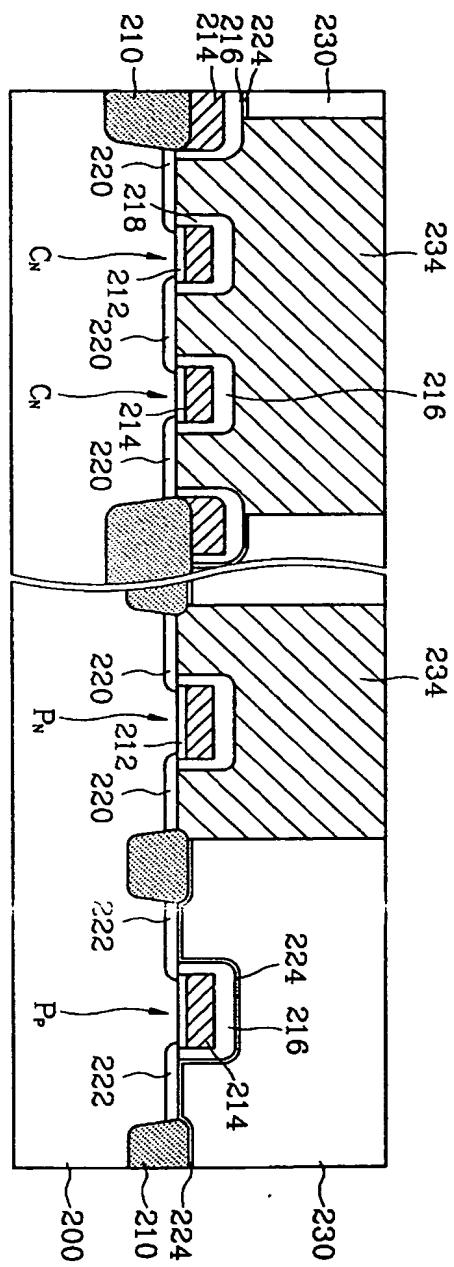
【도 4】



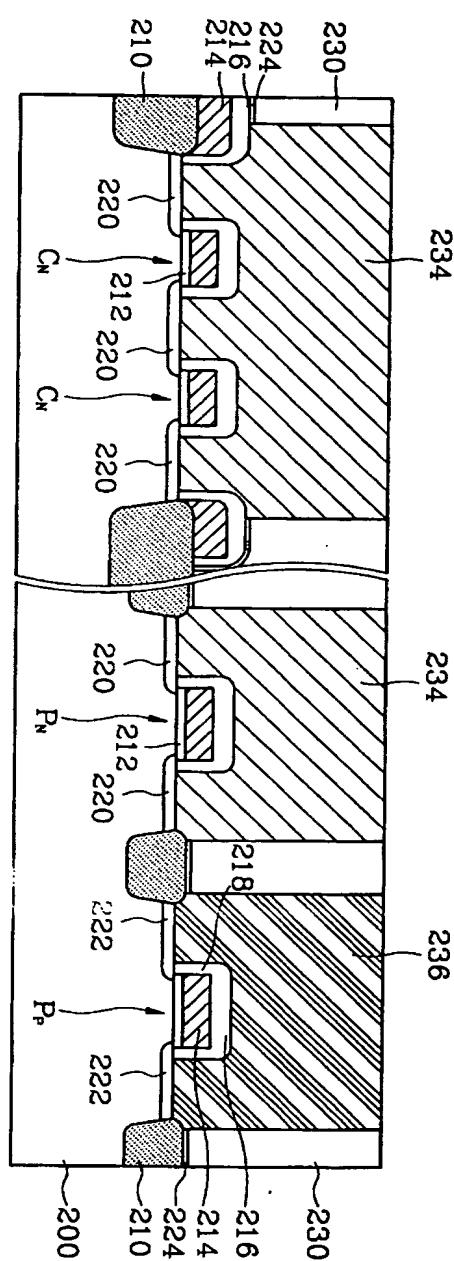
【图 5】



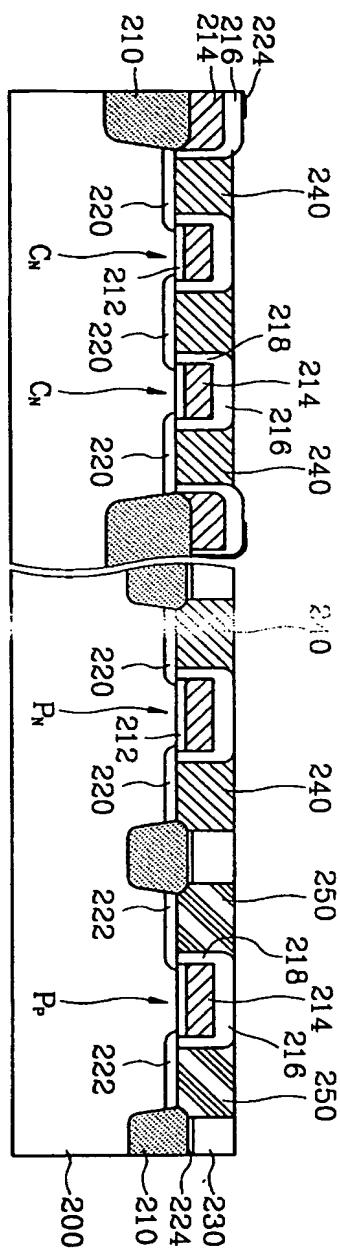
【도 6】



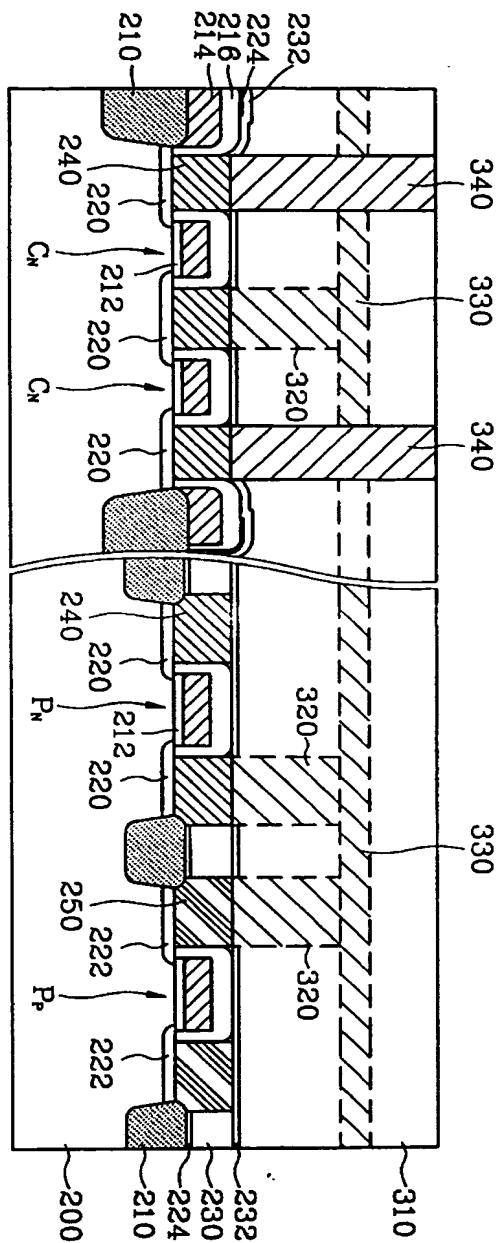
【도 7】



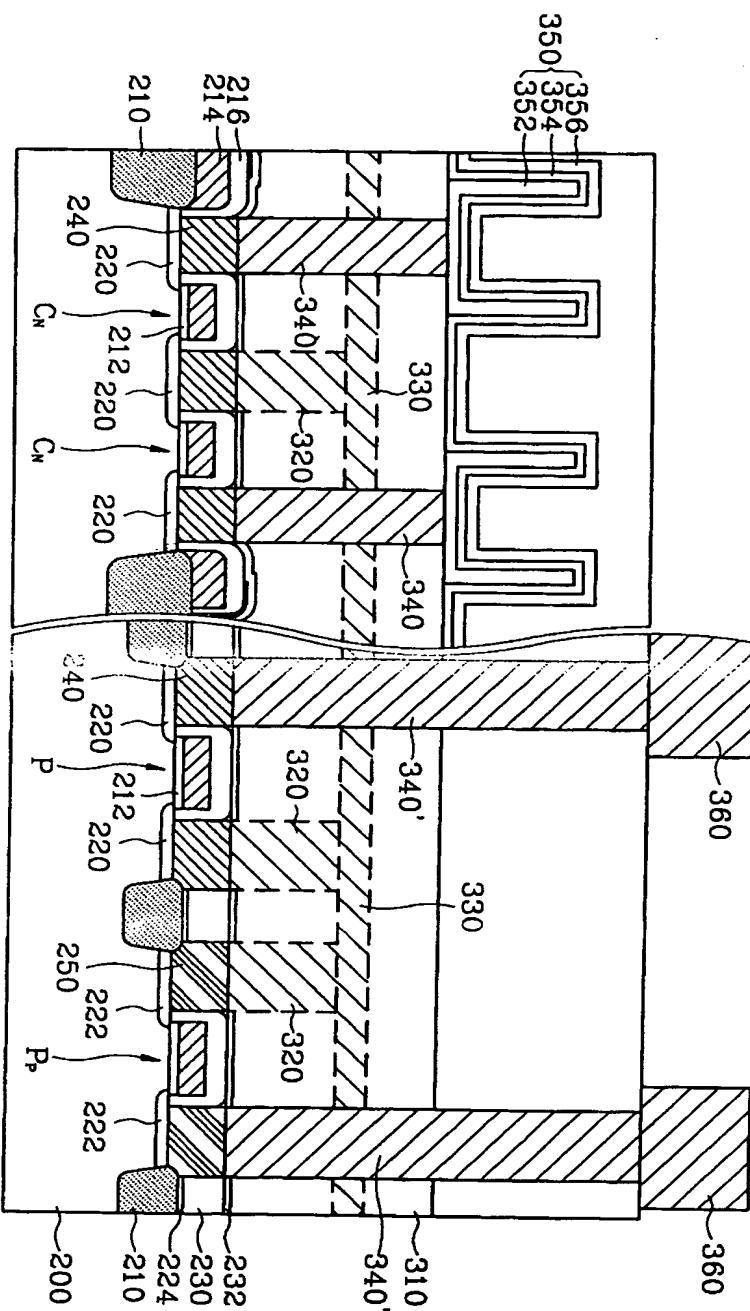
【도 8】



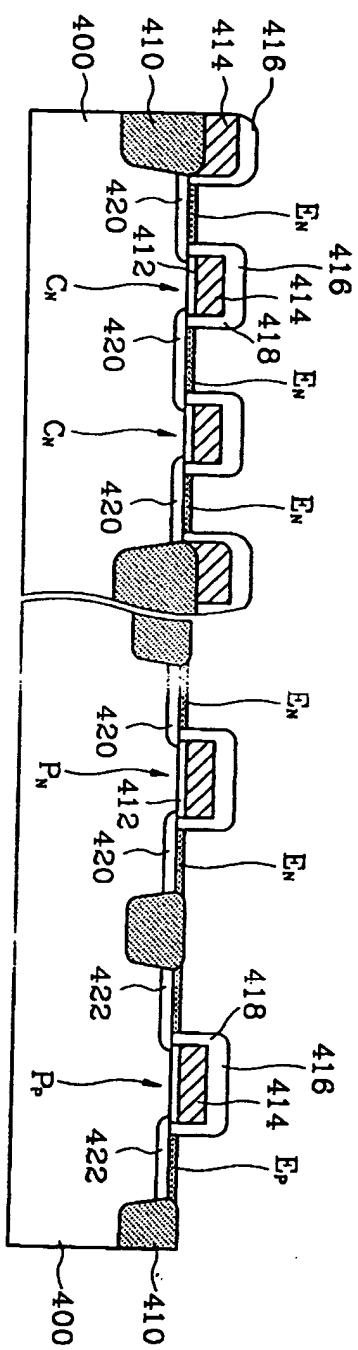
【도 9】



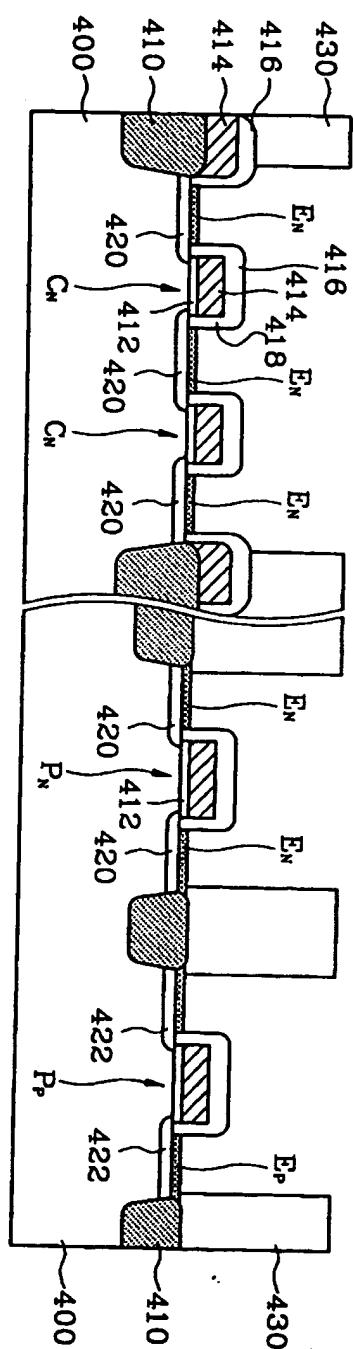
【도 10】



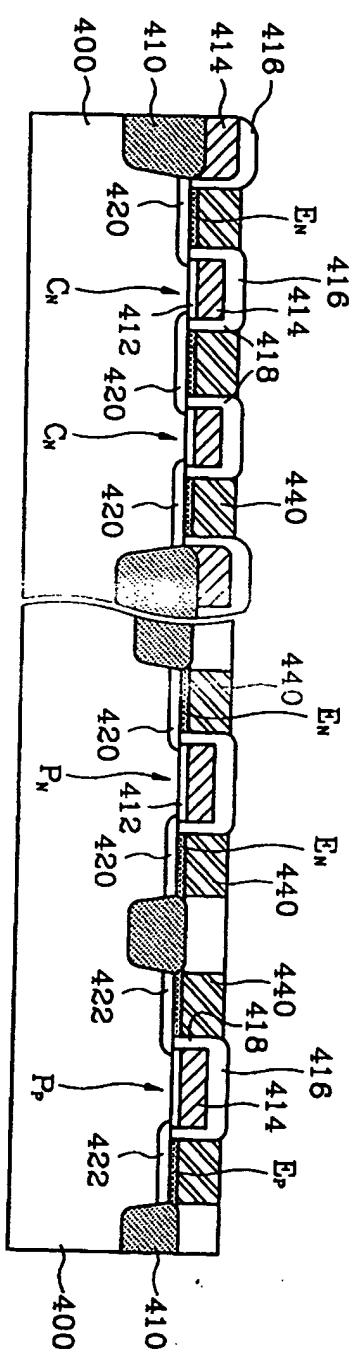
【図 11】



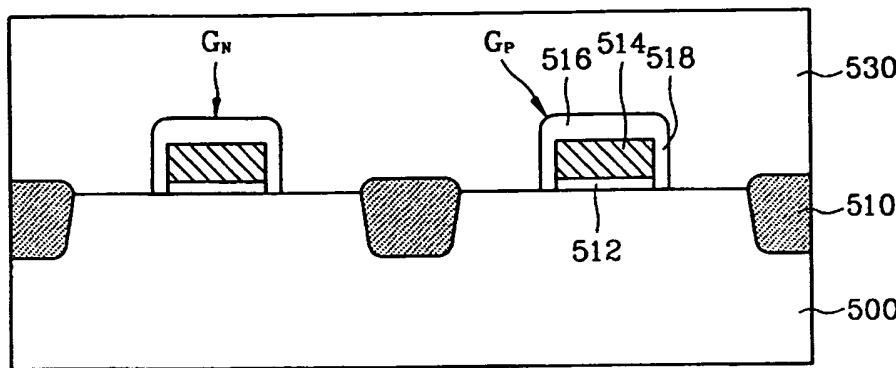
【도 12】



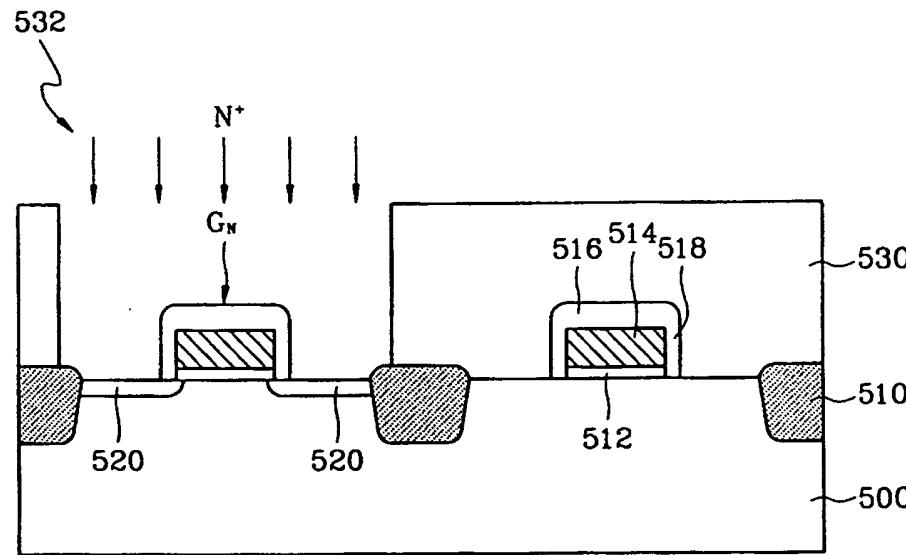
【도 13】



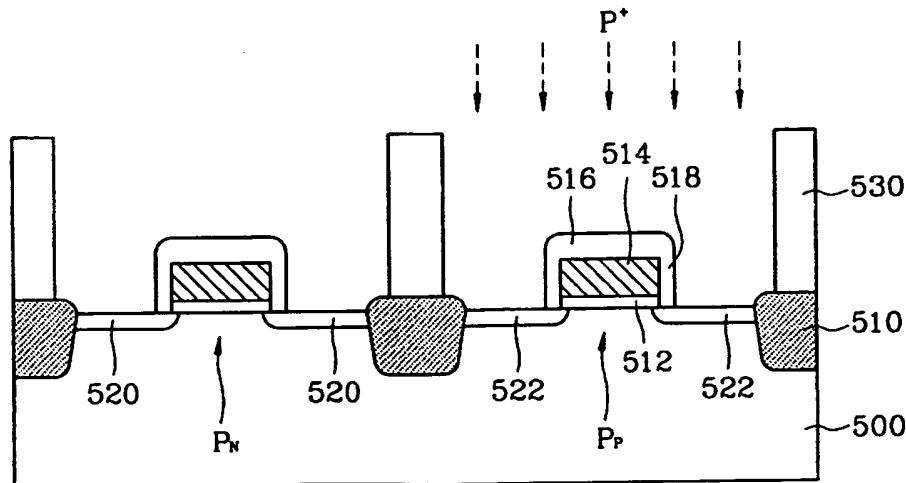
【도 14a】



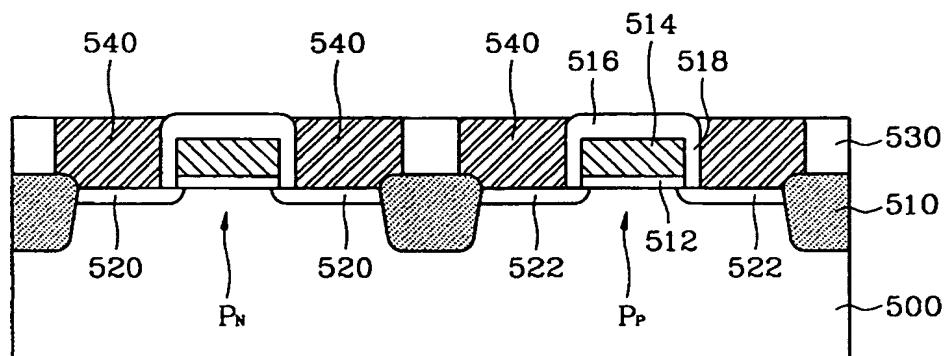
【도 14b】



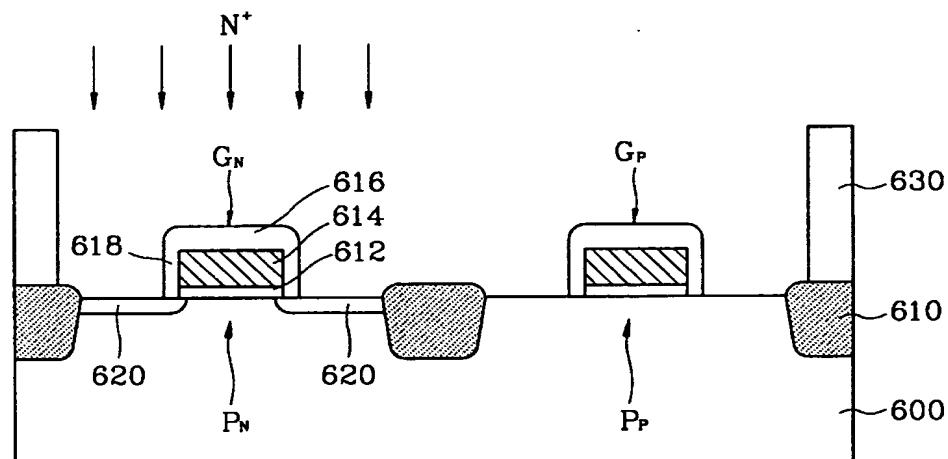
【도 14c】



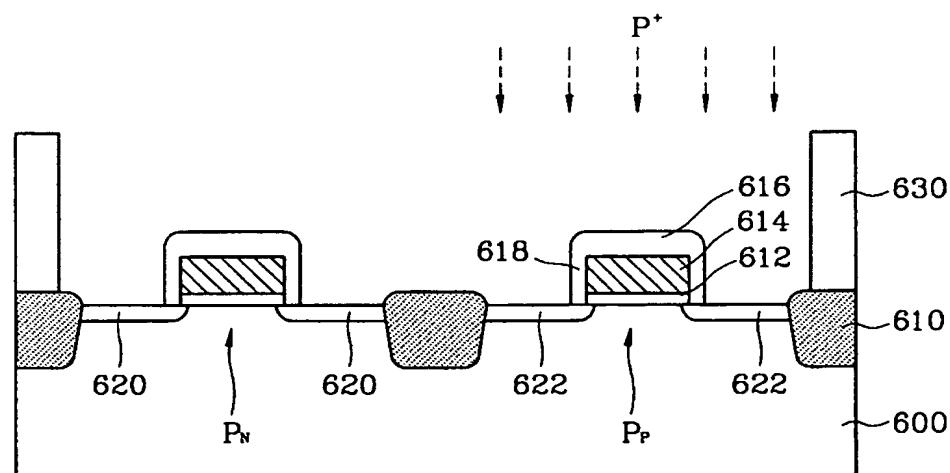
【도 14d】



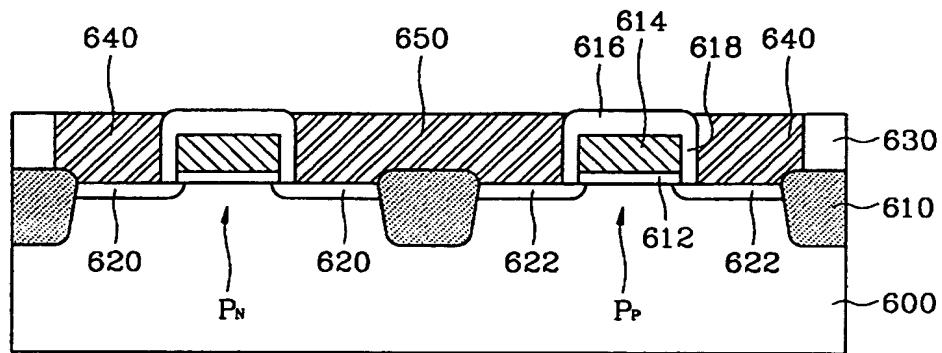
【도 15a】



【도 15b】



【도 15c】



【도 16】

